

DIGITAL PROCESSING DEVICE

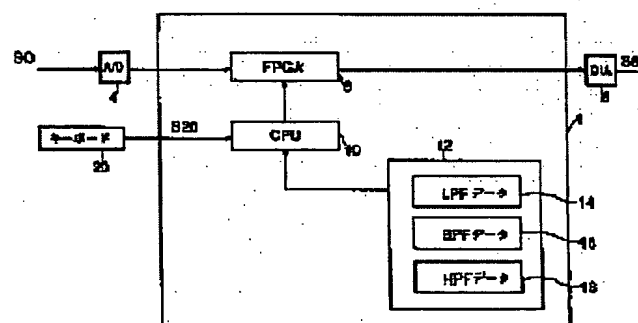
Patent number: JP7135447
Publication date: 1995-05-23
Inventor: KODAMA YASUMASA
Applicant: SONY CORP
Classification:
 - international: *H03H17/02; H03H17/06; H03H17/02; H03H17/06;*
 (IPC1-7): H03H17/02; H03H17/06
 - european:
Application number: JP19930282389 19931111
Priority number(s): JP19930282389 19931111

Report a data error here

Abstract of JP7135447

PURPOSE: To provide a digital processing device in which plural kinds of digital filter processing are conducted selectively making possible the reduced hardware scale and the reduction in the manufacture cost.

CONSTITUTION: An operation signal S20 in response to the operation of a key board 20 by the user is outputted to a CPU 10, and based on a control signal from the CPU 10, selected LPF data 14, for example, are outputted to an FPGA 8. Then the digital circuit corresponding to the LPF data 14 is built up in the FPGA 8. Then a digital signal from an A/D converter circuit 4 is subjected to low pass filter processing by the digital circuit built up in this way and the processed digital signal is outputted from the FPGA 8.



Data supplied from the esp@cenet database - Worldwide

(2)

1

2

(19)日本特許庁 (JP) (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-135447

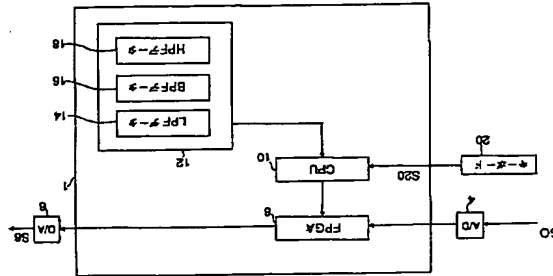
(43)公開日 平成7年(1995)5月23日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	FI	技術表示箇所
H03H 17/02	J 8842-5J			
	H 8842-5J			
	P 8842-5J			
17/08	B 8842-5J			
審査請求 未請求 請求項の数3 OL (全 5 頁)				
(21)出願番号	特願平5-282389	(71)出願人	000002185	
		ソニー株式会社		
(22)出願日	平成 5 年(1993)11月11日	東京都品川区北品川 6 丁目 7 番35号		
		(72)発明者	原玉 安正	東京都品川区北品川 6 丁目 7 番35号 ソニー株式会社内
		(74)代理人	弁理士 佐藤 隆久	

(54)【発明の名称】 デジタル処理装置

(57)【要約】

【目的】 ハードウェア規模の縮小化および製造コストの低下を図る複数の種類のデジタルフィルタ処理を選択的に行うデジタル処理装置を提供する。
【構成】 ユーザによるキーボード20の操作に応じた操作信号S20がCPU10に出力され、CPU10からの制御信号に基づいて、選択された例えばLPFデコータ14がFPGA8に出力される。そして、FPGA8において、LPFデコータ14に応じたデジタル回路が構築される。そして、この構築されたデジタル回路によって、A/D変換回路4からデジタル信号がローパスフィルタ処理され、処理されたデジタル信号がFPGA8から出力される。



【特許請求の範囲】

【請求項1】 プログラムに応じたデジタル演算回路を構成するゲートアレイと、

前記複数の種類のフィルタ処理を行うデジタル演算回路の構成をそれぞれ記述した複数のプログラムを記憶する記憶手段と、

前記記憶手段に記憶された複数のプログラムを選択的に前記ゲートアレイに出力する制御手段とを有し、フィールドで希望するデジタルフィルタ処理回路を構成するデジタル処理装置。

【請求項2】 前記複数の種類のフィルタ処理は、ローパスフィルタ処理、バンドパスフィルタ処理およびハイパスフィルタ処理である請求項1記載のデジタル処理装置。

【請求項3】 前記ゲートアレイは、FPGA (Field Programmable Gate Array) である請求項1または請求項2記載のデジタル処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、複数の種類のフィルタ処理を選択的に行う、ハードウェアの構成がプログラム可能なデジタル処理装置に関する。

【0002】

【従来の技術】 複数の種類のデジタル演算処理を、条件に応じて選択的にハードウェアで行うデジタル処理装置がある。このようなデジタル処理装置では、例えば、処理A、B、Cを条件に応じて選択的に行う場合には、図3(A)に示すように、処理A、B、Cのそれぞれに応じた回路A、B、Cが設けられている。このデジタル演算回路では、アナログ入力信号がA/D変換回路にて、デジタル信号に変換され、このデジタル信号に応じた処理A、B、Cが回路A、B、Cにおいてハードウェアで行われ、処理結果が、条件に応じてスイッチ回路によって選択的にD/A変換回路に出力され、D/A変換回路にてD/A変換され出力信号として出力される。

【0003】 例えば、ローパスフィルタ (LPF) 処理、バンドパスフィルタ (BPF) 処理およびハイパスフィルタ (HPF) 処理を選択的に行う場合には、従来のデジタル処理装置は、図3(B)に示すように、LPF回路、BPF回路およびHPF回路を内蔵する構成となる。このデジタル処理装置では、LPF回路によってLPF処理されたデジタル信号、BPF回路によってBPF処理されたデジタル信号およびHPF回路によってHPF処理されたデジタル信号が、スイッチ回路によって、選択的にD/A変換回路を介して出力される。このとき、例えば、LPF処理を行っている際には、BPF回路およびHPF回路は使用されていない。

【0004】 また、複数の種類のデジタル演算処理

を、各処理の種類に応じた複数のプログラムを選択的にDSP (Digital Signal Processor) によってソフトウェア的に処理することも可能である。

【0005】

【発明が解決しようとする課題】 しかし、上述したように、複数の種類のデジタル演算処理を各処理に応じた回路を選択的に用いて行うと、処理の種類に応じた数の回路をデジタル処理装置に内蔵しなければならず、デジタル処理装置のハードウェア規模が大きくなり、また、製造コストが高くなるという問題がある。例えば、

上述した図3(B)に示すデジタル処理装置では、各フィルタ回路が1万ゲート規模とすると、少なくとも3万ゲート規模と非常に大規模な回路となる。さらに、このデジタル処理装置では、一般的に、特定の処理に専用の回路を用いているため、処理内容に変更が生じた場合に回路機能の変更が困難であり、また、生産台数が少ない場合には製造コストが高くなるという問題もある。特に、フィルタ処理を行うデジタル処理装置では、条件に応じてフィルタの特性を変更する場合が多く、図3(B)に示すデジタル処理装置には、装置完成後にフィルタ特性の変更に応じてフィルタ回路の変更を行うことは通常できないという問題がある。

【0006】 また、上述したDSPを使用する場合には、ハードウェア規模および製造コストの面での問題は解消されるが、ソフトウェア的に処理を行うため、ハードウェア的に処理を行う場合に比べて処理速度が遅いという問題がある。特に、画像処理などに用いられるビデオ信号などをデジタル方式でフィルタリングする場合には、高速な信号処理が要求される場合には、DSPあるいはCPUを用いたソフトウェアによる信号処理では、処理速度が表示速度に追従できないという問題がある。

【0007】 ところで、一般のロジックゲートアレイよりゲート数が少ないが、特定用途向け半導体デバイス (ASIC) として数千ゲート以上の規模を持ち、ユーザがフィールドでプログラム可能なゲートアレイであるFPGA (Field Programmable Gate Array) が知られている。しかし、従来のFPGAを用いた処理では、通常、単一の処理に応じたプログラムに基づいてFPGAの設定を行い、単一の機能のゲートアレイの置き換えとしてFPGAを使用しており、一般的に、その機能の変更についての効果的な対策は施されていない。

【0008】 本発明は上述した従来技術の問題に鑑みてなされ、複数の種類のデジタルフィルタ処理を選択的に行うことができ、ハードウェア規模の縮小化および製造コストの低下を図ることができ、デジタル処理装置を提供することを目的とする。また、本発明は、デジタルフィルタ処理の内容の変更に伴い、回路構成を簡単に変更することができるデジタル処理装置を提供することを目的とする。さらに、本発明は、デジタルフィ

50

(3)

3

ルタ処理を高速に行うことができるデジタル処理回路を提供することを目的とする。

【0009】

【課題を解決するための手段】 上述した従来技術の問題点を解決するために、本発明のデジタル処理回路は、プログラムに応じたデジタル演算回路を構成するゲートアレイと、前記複数の種類のフィルタ処理を行うデジタル演算回路の構成をそれぞれ記述した複数のプログラムを記憶する記憶手段と、前記記憶手段に記憶された複数のプログラムを選択的に前記ゲートアレイに出力する制御手段とを有し、フィールドで希望するデジタルフィルタ処理回路を構成する。

【0010】 また、本発明のデジタル処理回路における前記ゲートアレイは、FPGA (Field Programmable Gate Array) である。

【0011】 さらに、本発明のデジタル処理回路における前記ゲートアレイは、FPGA (Field Programmable Gate Array) である。

【0012】

【作用】 本発明のデジタル処理回路では、例えば、予め記憶手段にはローパスフィルタ処理、バンドパスフィルタ処理およびハイパスフィルタ処理を行うデジタル演算回路の構成をそれぞれ記述した複数のプログラムが記憶されている。そして、ユーザからの指示に応じた制御手段から制御信号に基づいて、記憶手段に記憶された例えばローパスフィルタ処理を行うデジタル演算回路の構成を記述したプログラムが例えばゲートアレイとしてのFPGAに出力される。そして、FPGAにおいて、入力されたプログラムの記述に応じて、ブロック内論理と相互接続とが決定され、ローパスフィルタ処理を行うデジタル演算回路が構成される。そして、FPGAにおいて構成されたデジタル演算回路を用いて、デジタル信号に対してローパスフィルタ処理がハードウェア的に行われる。

【0013】

【実施例】 本発明の実施例に係るデジタル処理回路について説明する。図1は本実施例のデジタル処理回路1を説明するための図である。デジタル処理回路1は、図1に示すように主に、FPGA8、CPU10およびメモリ12で構成される。FPGA8はA/D変換回路4からデジタル信号S4を入力し、D/A変換回路6にフィルタリング処理されたデジタル信号S6を出力する。

【0014】 A/D変換回路4は、アナログ入力信号S0を入力し、これをデジタル変換して変換されたデジタル信号をFPGA8に出力する。D/A変換回路6は、FPGA8からフィルタリングされたデジタル信号S6を入力し、これをアナログ変換し、変換されたアナログ出力信号S6を出力する。

4

【0015】 メモリ12には、FPGA8においてLPF回路、BPF回路およびHPF回路を実現するためのLPFデータ14、BPFデータ16およびHPFデータ18が記憶されている。

【0016】 CPU10は、ユーザによる操作に応じたキーボード20からの操作信号S20に応じて、メモリ12に記憶されたLPFデータ14、BPFデータ16およびHPFデータ18を選択的にFPGA8に出力する。

【0017】 FPGA8は、CPU10から入力したデータに基づいて、比較的小規模な論理ブロックを規則的に並べ、ブロック内論理と相互接続とを決定し、入力したデータに応じたハードウェア回路を構成する。本実施例においてはFPGA8が構成するハードウェアは、LPFデータ14に応じたLPF回路、BPFデータ16に応じたBPF回路、あるいは、HPFデータ18に応じたHPF回路である。FPGA8は、A/D変換回路4から入力したデジタル信号S4を、上記構成されたハードウェア回路によってフィルタ処理を行い、フィルタリングされたデジタル信号S8をD/A変換回路6に出力する。FPGA8は、PLDと比べるとハードウェアを実現できる論理の規模も大きく、構造はゲートアレイに近い。

【0018】 次に、デジタル処理回路1の使用方法について説明する。

ステップS1: ユーザによるキーボード20の操作に応じた操作信号S20がCPU10に出力され、LPFデータ14、BPFデータ16およびHPFデータ18がメモリ12に記憶される。

ステップS2: ユーザによるキーボード20の操作に応じて、例えばLPF処理が選択され、これに応じた操作信号S20がCPU10に出力される。そして、CPU10からの制御信号に基づいて、メモリ12に記憶されたLPFデータ14がFPGA8に出力される。そして、LPFデータ14に基づいて、FPGA8のブロック内論理と相互接続とが決定され、LPF処理を行うフィルタ回路が構成される。

【0019】 ステップS3: アナログ入力信号S0がデジタル変換されたデジタル信号S4がA/D変換回路4からFPGA8に入力され、FPGA8に構成されたフィルタ回路によってLPFフィルタ処理が行われ、LPFフィルタ処理されたデジタル信号がD/A変換回路6においてアナログ変換され、アナログ出力信号S6として出力される。

ステップS4: ステップS3の実行結果に応じて、例えば、フィルタの特性を変更したい場合にはステップS5を実行する。

ステップS5: ユーザによるキーボード20の操作に応じて、変更したフィルタの特性に応じたLPFデータがメモリ12に記憶される。その後、変更したLPFデータ

(4)

5

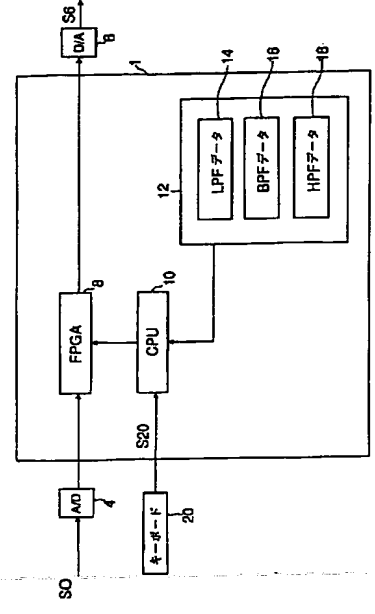
タに応じたフィルタ処理が実行される。

【0020】 上述したように、本実施例のデジタル処理回路1によれば、ローパスフィルタ処理、バンドパスフィルタ処理およびハイパスフィルタ処理を選択的に行うことができ、ハードウェア規模の縮小化および製造コストの低下を図ることができる。また、本実施例のデジタル処理回路1によれば、デジタルフィルタ処理の内容の変更に伴い、フィールドで希望するデジタルフィルタ処理回路を簡単に構成することができる。さらに、本実施例のデジタル処理回路1によれば、デジタルフィルタ処理をハードウェアを用いて行うため、高い処理速度を得ることができる。

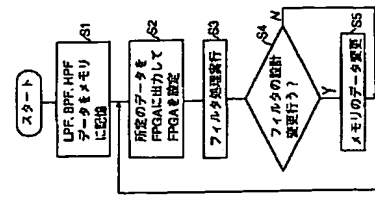
【0021】

【発明の効果】 上述したように、本発明のデジタル処理回路によれば、ローパスフィルタ処理、バンドパスフィルタ処理およびハイパスフィルタ処理などの複数のフィルタ処理を選択的に行うことができ、ハードウェア規模の縮小化および製造コストの低下を図ることができる。また、本発明のデジタル処理回路によれば、デジタルフィルタ処理の内容の変更に伴い、フィールドで希望するデジタルフィルタ処理回路を簡単に構成する

【図1】



【図2】



(5)

【図3】

